

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-25689

(43) 公開日 平成11年(1999)1月29日

(51) Int.Cl. <sup>a</sup>	識別記号	F I	
G 1 1 C 29/00	6 3 1	G 1 1 C 29/00	6 3 1 B
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 K
12/16	3 2 0	12/16	3 2 0 F

審査請求 有 請求項の数 5 OL (全 12 頁)

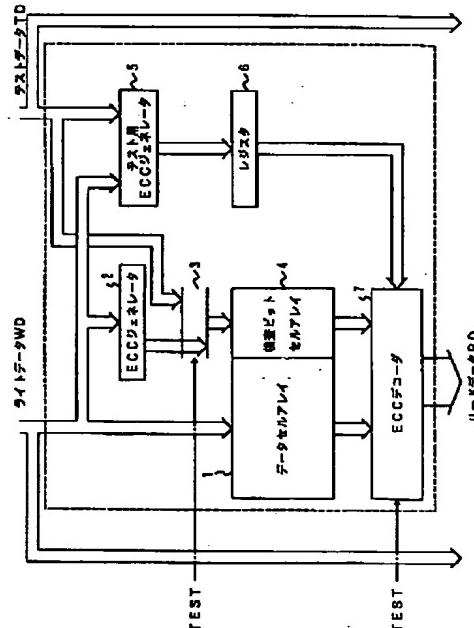
(21)出願番号	特願平9-173719	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成9年(1997)6月30日	(72)発明者	園部 優 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体メモリ装置テスト方法及び半導体メモリ装置

(57)【要約】

【課題】 従来、不良品と判定されていた半導体メモリ装置の内、実質的に性能上の問題を有しない半導体メモリ装置を良品とすることにより、半導体メモリ装置製造に関し、歩留まりの向上を図ること。

【解決手段】 ライトデータWDを格納するためのデータセルアレイ1とECCを格納するための検査ビットセルアレイ4とを備え、且つ、誤り訂正機能を有するようにして製造された半導体メモリ装置が、良品であるか不良品であるかを判定するためのテストにおいて、データセルアレイ1及び検査ビットセルアレイ4を全体として1つのメモリセルアレイとみなし、当該メモリセルアレイに対応するテストECCをテスト用ECCジェネレータ5により生成し、テストECCを用いてメモリセルアレイから読み出したデータの誤り検出及び誤り訂正を行うことにより、当該メモリセルアレイの有する複数のワードラインに関し、各ワードラインごとのエラーが1ビット以下である場合に良品と判定し、エラーが2ビット以上であるワードラインが1つでもある場合には不良品と判定する。



## 【特許請求の範囲】

【請求項1】 誤り訂正符号を格納するための検査ビットセルアレイとライトデータを格納するためのデータセルアレイとを備え、且つ、誤り訂正機能を有するようにして製造された半導体メモリ装置が、良品であるか不良品であるかを判定するための半導体メモリ装置テスト方法であって、前記データセルアレイ及び前記検査ビットセルアレイを全体として1つのメモリセルアレイとみなし、当該メモリセルアレイの有する複数のワードラインに沿し、各ワードラインごとのエラーが1ビット以下である場合に良品と判定し、エラーが2ビット以上であるワードラインが1つでもある場合には不良品と判定することを特徴とする半導体メモリ装置テスト方法。

【請求項2】 ライトデータを格納するためのデータセルアレイと、前記ライトデータを受けて当該ライトデータに対応する誤り訂正符号を生成するためのECCジェネレータと、該誤り訂正符号を格納するための検査ビットセルアレイとを備え、少なくとも1ビットのエラーを訂正することができる半導体メモリ装置において、当該半導体メモリ装置が良品であるか不良品であるかを判定するために、当該判定の際に、前記データセルアレイに書き込まれる前記ライトデータと前記検査ビットセルアレイに対して当該半導体メモリ装置外部からテスト用として書き込まれるテストデータとを受けて、前記データセルアレイ及び前記検査ビットセルアレイを全体として1つのメモリセルアレイとみなし、前記ライトデータ及び前記テストデータから当該メモリセルアレイに対するテスト用の誤り訂正符号であるテスト誤り訂正符号を生成するためのテスト用ECCジェネレータを備えることを特徴とする半導体メモリ装置。

【請求項3】 請求項2に記載の半導体メモリ装置において、当該半導体メモリ装置を通常の目的で使用する際には、前記ECCジェネレータの生成した前記誤り訂正符号を選択して前記検査ビットセルアレイに対して出力し、一方、当該半導体メモリ装置に関して前記判定を行う際には、前記テストデータを選択して前記検査ビットセルアレイに対して出力するための切替手段を更に有することを特徴とする半導体メモリ装置。

【請求項4】 請求項2又は請求項3のいずれかに記載の半導体メモリ装置において、前記通常の目的で使用する際には、前記データセルアレイの出力するデータに対し、前記検査ビットセルアレイから入力される前記誤り訂正符号を用いて、誤り検出及び誤り訂正を行い、一方、前記判定を行う際には、前記データセルアレイ及び前記検査ビットセルアレイの出力するデータに対し、前記テスト用ECCジェネレータの生成した前記テスト誤り訂正符号を用いて、誤り検出及び誤り訂正を行うためのECCデコーダを更に有することを特徴とする半導体メモリ装置。

## 【請求項5】 請求項4の記載の半導体メモリ装置において、

前記テスト用ECCジェネレータの生成する前記テスト誤り訂正符号を一時的に格納するためのレジスタを更に備えており、

前記ECCデコーダは、前記判定を行う際に、該レジスタを介して、前記テスト用ECCジェネレータの生成したテスト誤り符号を受けることを特徴とする半導体メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置に関し、特に誤り訂正符号（以下、ECCと言う。）を用いて誤り検出及び誤り訂正を行うことができる半導体メモリ装置に関する。

## 【0002】

【従来の技術】従来、この種の半導体メモリ装置としては、例えば、特開平5-54697号公報（以下、従来例）に開示されているものが挙げられる。

【0003】従来例の半導体メモリ装置は、入力データ及びECCを外部から個別に受容することのできる手段と、該受容した入力データをデータ記憶ゾーンに書き込むと共にECCハミングコード記憶ゾーンに書き込む手段と、夫々のゾーンから読み出されたデータ及びコードを外部に対して個別に出力することのできる手段とを備えている。このような構成を備えた従来例の半導体メモリ装置において、メモリのテストは、次のようにして行われる。まず、チェックボードパターン等のテストパターンをデータ記憶ゾーンに書き込むと同時に、同じパターンをハミングコード発生器を介さずに直接ハミングコード記憶ゾーンに書き込む。次に、当該半導体メモリ装置を通常の目的で使用する際（以下、通常動作時）とは異なり、複合器（又は、ECCデコーダ）を介さずに、データ記憶ゾーンに書き込まれていたデータと、ハミングコード記憶ゾーンに書き込まれていたコードとを直接外部に読み出す。このようなテストを行うことにより、従来例の半導体メモリ装置においては、データ記憶ゾーンとハミングコード記憶ゾーンのテストを任意のパターンで一度にテストを行うことができることとしている。

## 【0004】

【発明が解決しようとする課題】ところで、近年における技術の発達に伴い、ソフトエラーが生じる可能性が格段に低くなっている上、例え1ワードラインあたり1ビットのハードエラーが含まれていた場合であっても、製品として使用する際には、ECCにより常にその1ビットのエラーが訂正されて正常な動作を行うため、民生用として用いられる場合などには、製造後に1ワードラインあたり1ビットのエラーを有していたとしても、実際上問題がない。

【0005】しかしながら、上述した従来例の半導体メ

モリ装置を含め、従来の技術によっては、製造時において、エラーが無いか若しくは1ビットのエラーが発生しているのか、又は2ビット以上のエラーが発生しているのかを判定するための手段が設けられていなかった。

【0006】従来例の半導体メモリ装置に代表される従来の技術においては、テスト後に生じる1ビットのエラーは訂正できるものの、製造時に発生した1ビットのエラーを救済することができなかつたため、製造時において発生したエラーが1ビットでもある場合には、発生したエラーが2ビット以上である場合と区別することなく、当該半導体メモリ装置を不良品と判定していた。

【0007】即ち、従来の技術によっては、実際に動作させる上で、問題となることの少ない1ワードラインあたり1ビットのエラーがあった場合であっても、不良品として判定していたこと起因して、製造上、歩留まりの向上が抑制されていた。

【0008】そこで、本発明は、上述した従来の技術における問題を解消し、歩留まりの向上が図られる半導体メモリ装置を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】本発明は、上述した課題を解決するために、実際に動作させる上で問題とならないか問題となるかにより、良品／不良品と判定することのできるテスト方法を採用し、併せて当該テスト方法の適用可能な半導体メモリ装置を提供することとした。

【0010】具体的には、本発明は、以下に示す各手段を提供する。

【0011】即ち、本発明によれば、誤り訂正符号を格納するための検査ビットセルアレイとライトデータを格納するためのデータセルアレイとを備え、且つ、誤り訂正機能を有するようにして製造された半導体メモリ装置が、良品であるか不良品であるかを判定するための半導体メモリ装置テスト方法であって、前記データセルアレイ及び前記検査ビットセルアレイを全体として1つのメモリセルアレイとみなし、当該メモリセルアレイの有する複数のワードラインに関し、各ワードラインごとのエラーが1ビット以下である場合に良品と判定し、エラーが2ビット以上であるワードラインが1つでもある場合には不良品と判定することを特徴とする半導体メモリ装置テスト方法が得られる。

【0012】また、本発明によれば、ライトデータを格納するためのデータセルアレイと、前記ライトデータを受けて当該ライトデータに対応する誤り訂正符号を生成するためのECCジェネレータと、該誤り訂正符号を格納するための検査ビットセルアレイとを備え、少なくとも1ビットのエラーを訂正することができる半導体メモリ装置において、当該半導体メモリ装置が良品であるか不良品であるかを判定するために、当該判定の際に、前記データセルアレイに書き込まれる前記ライトデータと前記検査ビットセルアレイに対して当該半導体メモリ装

置外部からテスト用として書き込まれるテストデータとを受けて、前記データセルアレイ及び前記検査ビットセルアレイを全体として1つのメモリセルアレイとみなしそうし、前記ライトデータ及び前記テストデータから当該メモリセルアレイに対するテスト用の誤り訂正符号であるテスト誤り訂正符号を生成するためのテスト用ECCジェネレータを備えることを特徴とする半導体メモリ装置が得られる。

【0013】更に、本発明によれば、前記半導体メモリ装置において、当該半導体メモリ装置を通常の目的で使用する際には、前記ECCジェネレータの生成した前記誤り訂正符号を選択して前記検査ビットセルアレイに対して出力し、一方、当該半導体メモリ装置に関して前記判定を行う際には、前記テストデータを選択して前記検査ビットセルアレイに対して出力するための切替手段を更に有することを特徴とする半導体メモリ装置が得られる。

【0014】また、本発明によれば、前記いずれかの半導体メモリ装置において、前記通常の目的で使用する際には、前記データセルアレイの出力するデータに対し、前記検査ビットセルアレイから入力される前記誤り訂正符号を用いて、誤り検出及び誤り訂正を行い、一方、前記判定を行う際には、前記データセルアレイ及び前記検査ビットセルアレイの出力するデータに対し、前記テスト用ECCジェネレータの生成した前記テスト誤り訂正符号を用いて、誤り検出及び誤り訂正を行うためのECCデコーダを更に有することを特徴とする半導体メモリ装置が得られる。

【0015】更に、本発明によれば、前記半導体メモリ装置において、前記テスト用ECCジェネレータの生成する前記テスト誤り訂正符号を一時的に格納するためのレジスタを更に備えており、前記ECCデコーダは、前記判定を行う際に、該レジスタを介して、前記テスト用ECCジェネレータの生成したテスト誤り符号を受けることを特徴とする半導体メモリ装置が得られる。

#### 【0016】

【発明の実施の形態】以下に、本発明の実施の形態について図面を用いて説明する。

【0017】(第1の実施の形態) 本発明の第1の実施の形態による半導体メモリ装置は、図1に示されるような構成を備えている。

【0018】即ち、本実施の形態による半導体メモリ装置は、データセルアレイ1、ECCジェネレータ2、セレクタ3、検査ビットセルアレイ4、テスト用ECCジェネレータ5、レジスタ6、ECCデコーダ7を備えている。

【0019】詳しくは、データセルアレイ1は、入力されるライトデータWDを受けて、該ライトデータWDを格納する。ECCジェネレータ2は、ライトデータWDを受けて、該ライトデータWDに対応するECCを生成する。セ

レクタ3は、通常動作時において、ECCジェネレータ2の生成したECCを選択して検査ビットセルアレイ4に対して出力する。一方、セレクタ3は、テスト信号TESTを受けてテスト状態になると、テストデータTDを選択して検査ビットセルアレイ4に対して出力する。検査ビットセルアレイ4は、セレクタ3から入力されるECC(通常動作時)又はテストデータTD(テスト時)のいずれかを受けて、そのいずれか一方を格納する。テスト用ECCジェネレータ5は、ライトデータWD及びテストデータTDを受けて、テスト用のECCであるテストECCを生成する。レジスタ6は、テスト用ECCジェネレータ5の生成したテストECCを一時的に格納する。ここで、レジスタ6において必要とされるワード数は、「メモリセルの並び」や「テスト内容(テストパターン等)」等の条件に応じて決定される。例えば、チェックコードパターンを使用してテストを行う場合、データとしては、一般的に、「オール0」と「オール1」のデータや、「5555h」と「AAAAh」のデータ等が使用される。このような条件の下では、レジスタ6としては、2ワードの領域が必要とされる。ECCデコーダ7は、通常動作時において、データセルアレイ1から読み出したデータに対して、検査ビットセルアレイ4に格納されているECCを用いて、誤り検出及び誤り訂正を行いリードデータRDとして出力する。一方、ECCデコーダ7は、テスト信号TESTを受けてテスト状態になると、データセルアレイ1及び検査ビットセルアレイ4から読み出したデータに対して、レジスタ6に格納されているテストECCを用いて、誤り検出及び誤り訂正を行いリードデータRDとして出力する。

【0020】本実施の形態による半導体メモリ装置が製造されると、以下に示すように、データセルアレイ1及び検査ビットセルアレイ4が1つのメモリセルアレイとして取り扱われて、該メモリセルアレイの各ワードラインに対して、テストが行われる。テストの結果、該メモリセルアレイの有する全てのワードラインに関して、1ワードラインあたりのエラーが1ビット以下であれば良品と判定し、1ワードラインあたりのエラーが2ビット以上であるようなワードラインが1つでもある場合には不良品と判定する。ここで、本実施の形態における新規な点は、データセルアレイ1及び検査ビットセルアレイ4を1つのメモリセルアレイとみなして、該メモリセルアレイに関して1ワードラインあたりのエラーが1ビット以下であるか否かを判定するために、別途テスト用に設けられた誤り訂正機能を使用することにある。

【0021】以下に、セレクタ3及びECCデコーダ7に対してテスト信号TESTが入力され、半導体メモリ装置に対するテストが行われる状態について図2を用いて説明する。尚、図2においては、テスト信号TESTが入力されてテスト動作を行う様子についてより理解を深めるべく、セレクタ3に関しては、図示せずにテスト

データTDを選択して検査ビットセルアレイ4に入力している状態のみを示し、一方、ECCデコーダ7に関しては、データセルアレイ1及び検査ビットセルアレイ4から受けたデータをレジスタ6から入力されるテストECCにより誤り検出などをを行う状態を示す。

【0022】テスト時において、データセルアレイ1は、ライトデータWDを受けて、該ライトデータWDを格納する。検査ビットセルアレイ4は、テスト信号TESTが入力されたセレクタ3により選択されたテストデータTDを受けて、該テストデータTDを格納する。テスト用ECCジェネレータ5は、データセルアレイ1に入力されるライトデータWDと検査ビットセルアレイ4に入力されるテストデータTDとを受けて、テストECCを生成し、レジスタ6に対して出力する。ECCデコーダ7は、データセルアレイ1及び検査ビットセルアレイ4を全体として1つのメモリセルアレイとみなし、該メモリセルアレイに格納されているデータに対してレジスタ6から入力されるテストECCにより誤り検出及び誤り訂正を行ってリードデータRDとして出力する。このようにしてECCデコーダ7から出力されるリードデータRDと、データセルアレイ1に書き込まれたライトデータWD及び検査ビットセルアレイ4に書き込まれたテストデータTDとを比較して、双方のデータが一致した場合に、当該半導体メモリ装置が良品であると判断する。この際、本実施の形態による半導体メモリ装置においては、テストECCにより、データセルアレイ1及び検査ビットセルアレイ4により構成されるメモリセルアレイの有する各ワードラインに対して、1ワードラインあたりのエラーが1ビットである場合には、その1ビットのエラーが訂正されてリードデータRDとしてECCデコーダ7から出力されている。従って、本実施の形態による半導体メモリ装置においては、ライトデータWD及びテストデータTDとリードデータRDとの一致を観察するだけで、1ワードラインあたりエラーが1ビット以下の半導体メモリ装置を良品と判定することができる。

【0023】一方、良品と判定され出荷されると、本実施の形態による半導体メモリ装置は、図3に示されるようにして、通常動作、即ち、以下に示すようなメモリ動作を行うこととなる。

【0024】通常動作時において、データセルアレイ1は、ライトデータWDを受けて、該ライトデータWDを格納する。ECCジェネレータ2は、ライトデータWDを受けて、該ライトデータWDに対応するECCを生成すると共にセレクタ3を介して検査ビットセルアレイ4に対して該ECCを出力する。尚、セレクタ3は、通常動作時には前述の通り、ECCジェネレータ2の生成したECCを選択して検査ビットセルアレイ4に対して出力するものとして、図3においては省略してある。ECCデコーダ7は、データセルアレイ1から受けたデータに対して検査ビットセルアレイ4から入力されるECCにより誤

り検出及び誤り訂正を行ってリードデータRDとして出力する。

【0025】次に、本実施の形態による半導体メモリ装置におけるECCデコーダ7について、図4を用いて、より詳細に説明する。

【0026】本実施の形態による半導体メモリ装置におけるECCデコーダ7は、図4に示されるように、シンドローム生成部71、シンドロームデコード部72、検査ビットセル用シンドロームデコード部73、誤り訂正部74、検査ビットセル用誤り訂正部75を備えている。

【0027】詳しくは、シンドローム生成部71は、通常動作時において、データセルアレイ1からのデータと検査ビットセルアレイ4からのECCとを受けて、シンドロームを生成する。一方、テスト信号TESTを受けてテスト状態になると、シンドローム生成部71は、データセルアレイ1及び検査ビットセルアレイ4からのデータとレジスタ6からのテストECCとを受けて、シンドロームを生成する。また、シンドローム生成部71は、通常動作時におけるシンドローム生成とテスト時におけるシンドローム生成との異なる2つのシンドローム生成機能をテスト信号TESTにより切り換えるための生成機能切替部711を備えている。この生成機能切替部により、シンドローム生成部71は、通常動作時において、データセルアレイ1より入力されるデータと検査ビットセルアレイ4より入力されるECCとからシンドロームを生成し、シンドロームデコード部72に対して該シンドロームを出し、一方、テスト時においては、データセルアレイ1及び検査ビットセルアレイ4より入力されるデータとレジスタ6より入力されるテストECCとからシンドロームを生成し、シンドロームデコード部72及び検査ビットセル用シンドロームデコード部73に対して該シンドロームを出力する。シンドロームデコード部72は、シンドローム生成部71からシンドロームを受けて、該シンドロームをデコードし、誤り訂正部74に対して出力する。検査ビットセル用シンドロームデコード部73は、シンドローム生成部71からシンドロームを受けて、該シンドロームをデコードし、検査ビットセル用誤り訂正部75に対して出力する。誤り訂正部74は、データセルアレイ1からのデータとシンドロームデコード部の出力を受けて、誤り検出を行って、エラーがなかった場合には言うまでも無くそのままに、また、1ビットのエラーが検出された場合には当該エラーを訂正して、リードデータRDの一部として出力する。検査ビットセル用誤り訂正部75は、検査ビットセルアレイ4からのデータと検査ビットセル用シンドロームデコード部73からの出力を受けて、誤り検出を行って、誤り訂正部74と同様にして誤り訂正を行ってリードデータRDの他部として出力する。

【0028】このような構成を備える本実施の形態によ

る半導体メモリ装置においては、出荷時におけるテストの際に、例え1ワードラインあたり1ビットのエラーがあったとしても良品と判定し、且つ、1ワードラインあたり2ビット以上のエラーがあった場合にのみ、当該半導体メモリ装置を不良品と判定することができることから、歩留まりの向上が図られることとなる。これは、出荷時におけるテストにエラー訂正機能を使用したため、1ワードラインあたり1ビットのエラーがあった場合でも、当該エラーが訂正されて、エラーが無い場合と同様にみなせることによる。尚、近年における技術の発達によりソフトエラーが生じる可能性が格段に低くなっている上に、実際に、1ワードラインあたり1ビットのハードエラーが含まれていた場合であっても、製品として使用する際には、ECCにより常にその1ビットのエラーが訂正されて正常な動作を行うため、余程の精度が望まれる場合を除き、本実施の形態に示したようなテストが行われた半導体メモリ装置でも問題は生じない。逆に、このように、実際に動作させる上で、1ワードラインあたり1ビットのエラーがあったとしても問題がないにもかかわらず、従来、このようなメモリ装置は、1ワードラインあたり2ビット以上のエラーを有するものと区別することができずに不良品と判定されていたことを考慮すると、本実施の形態による構成を備えた半導体メモリ装置においては飛躍的に歩留まりの向上が達成されることが容易に理解される。

【0029】(第2の実施の形態) 本発明の第2の実施の形態による半導体メモリ装置は、図5に示されるような構成を備えている。図1及び図5を参照すると理解されるように、本実施の形態による半導体メモリ装置は、前述の第1の実施の形態による半導体メモリ装置の変形である。詳しくは、本実施の形態による半導体メモリ装置は、第1の実施の形態におけるECCジェネレータ2、セレクタ3、及びテスト用ECCジェネレータ5を変えて、通常用/テスト用機能切替部81を有するECCジェネレータ8を備えている。尚、他の構成要素は、各々、第1の実施の形態における夫々の構成要素と同じものである。ここで、本実施の形態による半導体メモリ装置は、その動作上、図1に示される第1の実施の形態による半導体メモリ装置と何等異なるものでは無い。即ち、ECCジェネレータ8は、通常用/テスト用機能切替部81に対してテスト信号TESTが入力されるか否かにより、機能が切り換えられ、第1の実施の形態におけるECCジェネレータ2、セレクタ3、及びテスト用ECCジェネレータ5と同様の動作を行う。詳しくは、ECCジェネレータ8は、通常動作時において、ライトデータWDを受けて、該ライトデータWDに対応するECCを生成して検査ビットセルアレイ4に対して出力する。また、ECCジェネレータ8は、テスト信号TESTが入力されると、通常用/テスト用機能切替部81により、その機能が切り替えられ、ライトデータWD及びテス

トデータTDを受けて、検査ビットセルアレイ4に対してテストデータTDを出力すると共に、ライトデータWD及びテストデータTDに対応するテストECCを生成してレジスタ6に対して出力する。尚、動作が実質的に同じであるにもかかわらず、異なるブロック図を示し説明したのは、回路設計上、複数の概念により表してある方が実装しやすいであろうとの配慮からである。従って、重ねて言及するが、本実施の形態による半導体メモリ装置は、第1の実施の形態による半導体メモリ装置と、その効果等につき、何等異なるものでは無い。

【0030】尚、以上説明してきた第1及び第2の実施の形態による半導体メモリ装置において、当該装置が良品であるか不良品であるかを判定するためのライトデータWD及びテストデータTDとリードデータRDとの比較は、該装置外部において行われても良いし、また、該装置内部にテスト用の比較回路を設けることにより、内部において行われるものとしても良い。

### 【0031】

【実施例】以上、本発明につき実施の形態を挙げて説明してきたが、更に理解を深めるために、第2の実施の形態による半導体メモリ装置に関し、図6にその検査行列Hが示され、各構成要素がより具体的な回路として図7乃至図10に示される実施例について説明する。尚、本実施例において、データセルアレイ1は、1ワードラインが8ビットとなるように構成されたものであり、それに伴い検査ビットセルアレイ4は、1ワードラインが4ビットとなるように構成され、また、レジスタ6は5ビットとなるように構成されている。データセルアレイ1のワードラインを16ビットで構成すると、検査ビットセルアレイ4のワードラインは5ビットにて、またレジスタ6は6ビットで構成される。同様に、データセルアレイ1のワードラインを32ビットで構成すると、検査ビットセルアレイ4のワードラインは6ビットにて、レジスタ6は7ビットで構成される。

【0032】本実施例によるECCジェネレータ8は、図7に示されるように、通常動作時においては、データセルアレイ1に入力される第1乃至第8のライトデータWD<sub>1</sub>～WD<sub>8</sub>を受けて、第1乃至第4のECCを生成し、セレクタにて構成される通常用/テスト用機能切替部81を介して、検査ビットセルアレイに対して生成した第1乃至第4のECCを出力する。本実施例において第1乃至第4のECCは、夫々、次のようにして求められる。即ち、第1のECCは、第1、第4、第5、第7及び第8のライトデータWD<sub>1</sub>、WD<sub>4</sub>、WD<sub>5</sub>、WD<sub>7</sub>、WD<sub>8</sub>を入力とした場合における排他的論理和として求められる。第2のECCは、第1、第2、第5、第6及び第8のライトデータWD<sub>1</sub>、WD<sub>2</sub>、WD<sub>5</sub>、WD<sub>6</sub>、WD<sub>8</sub>を入力とした場合における排他的論理和として求められる。第3のECCは、第2、第3、第5、第6及び第7のライトデータWD<sub>2</sub>、WD<sub>3</sub>、WD<sub>5</sub>、WD<sub>6</sub>、WD<sub>7</sub>を入力とした場合

における排他的論理和として求められる。第4のECCは、第3、第4、第6、第7及び第8のライトデータWD<sub>3</sub>、WD<sub>4</sub>、WD<sub>6</sub>、WD<sub>7</sub>、WD<sub>8</sub>を入力とした場合における排他的論理和として求められる。一方、本実施例によるECCジェネレータ8は、テスト動作時においては、第1乃至第8のライトデータWD<sub>1</sub>～WD<sub>8</sub>及び第1乃至第4のテストデータTD<sub>1</sub>～TD<sub>4</sub>を受けて、第1乃至第4のテストデータTD<sub>1</sub>～TD<sub>4</sub>を、通常用/テスト用機能切替部81を介して、出力する一方で、通常動作時と同様にして得られた第1乃至第4のECCの夫々と対応する第1乃至第4のテストデータTD<sub>1</sub>～TD<sub>4</sub>の夫々との排他的論理和として得られる第1乃至第4のテストECCと、第1乃至第4のテストデータTD<sub>1</sub>～TD<sub>4</sub>の排他的論理和として得られる第5のテストECCとをレジスタ6に対して出力する。尚、データセルアレイは、ワード毎に、第1乃至第8のライトデータWD<sub>1</sub>～WD<sub>8</sub>と同じ値を有する第1乃至第8のセルデータDD<sub>1</sub>～DD<sub>8</sub>を出力する。検査ビットセルアレイ4は、第1乃至第4のビットデータBD<sub>1</sub>～BD<sub>4</sub>を出力する。また、検査ビットセルアレイ4の出力する第1乃至第4のビットデータBD<sub>1</sub>～BD<sub>4</sub>は、通常動作時においては、第1乃至第4のECCであり、テスト時においては、第1乃至第4のテストデータTD<sub>1</sub>～TD<sub>4</sub>である。また、レジスタ6の出力する第1乃至第5のレジスタデータTE<sub>1</sub>～TE<sub>5</sub>は、第1乃至第5のテストECCである。

【0033】本実施例によるシンドローム生成部711は、図8に示されるように、生成機能切替部711を備えている。生成機能切替部711は、テスト信号TESTが入力されるとテスト状態になり、第1乃至第4のレジスタデータTE<sub>1</sub>～TE<sub>4</sub>を選択すると共に、第5のレジスタデータTE<sub>5</sub>他の信号に従い生成された第5のシンドロームSY<sub>5</sub>を出力する。一方、生成機能切替部711は、通常動作時においては、レジスタ6から出力される第1乃至第4のレジスタデータTE<sub>1</sub>～TE<sub>4</sub>に代えて全て0として出力するとともに、第5のシンドロームSY<sub>5</sub>を0として出力する。尚、この動作から理解されるよう、本実施の形態におけるテスト信号TESTは、正論理で示されるものであり、テスト信号TESTが“H”の際には、生成機能切替部711は第1乃至第4のレジスタデータTE<sub>1</sub>～TE<sub>4</sub>を出力すると共に、第5のシンドロームSY<sub>5</sub>を出力する。一方、テスト信号が“L”的際には、生成機能切替部711は、第1乃至第4のレジスタデータTE<sub>1</sub>～TE<sub>4</sub>及び第5のシンドロームSY<sub>5</sub>として、オール0を出力する。また、このような生成機能切替部711の動作により、シンドローム生成部711全体としては、次のように動作する。即ち、通常動作時において、シンドローム生成部711は、データセルアレイ1からの第1乃至第8のセルデータDD<sub>1</sub>～DD<sub>8</sub>及び検査ビットセルアレイ4からの第1乃至第4のビットデータBD<sub>1</sub>～BD<sub>4</sub>を受けて、第1乃至第4のシンドロームSY<sub>1</sub>～

$SY_4$  を生成し、シンドロームデコード部72に対して出力する。尚、この際、第5のシンドローム $SY_5$  は、0である。一方、テスト時においては、シンドローム生成部71は、第1乃至第8のセルデータ $DD_1 \sim DD_8$  及び第1乃至第4のビットデータ $BD_1 \sim BD_4$  と、レジスタ6から第1乃至第5のレジスタデータ $TE_1 \sim TE_5$  とを受けて、第1乃至第5のシンドローム $SY_1 \sim SY_5$  を出力する。詳しくは、テスト状態における第1乃至第5のシンドローム $SY_1 \sim SY_5$  は、夫々、次のようにして求められる。第1のシンドローム $SY_1$  は、第1、第4、第5、第7、第8のセルデータ $DD_1, DD_4, DD_5, DD_7, DD_8$  と、第1のビットデータ $BD_1$  及び第1のレジスタデータ $TE_1$  との排他的論理和として求められる。第2のシンドローム $SY_2$  は、第1、第2、第5、第6、第8のセルデータ $DD_1, DD_2, DD_5, DD_6, DD_8$  と、第2のビットデータ $BD_2$  及び第2のレジスタデータ $TE_2$  との排他的論理和として求められる。第3のシンドローム $SY_3$  は、第2、第3、第5、第6、第7のセルデータ $DD_2, DD_3, DD_5, DD_6, DD_7$  と、第3のビットデータ $BD_3$  及び第3のレジスタデータ $TE_3$  との排他的論理和として求められる。第4のシンドローム $SY_4$  は、第3、第4、第6、第7、第8のセルデータ $DD_3, DD_4, DD_6, DD_7, DD_8$  と、第4のビットデータ $BD_4$  及び第4のレジスタデータ $TE_4$  との排他的論理和として求められる。第5のシンドローム $SY_5$  は、第1乃至第4のビットデータ $BD_1 \sim BD_4$  と第5のレジスタデータ $TE_5$  との排他的論理和として求められる。尚、通常動作時においては第1乃至第4の各レジスタデータ $TE_1 \sim TE_4$  がオール0になるため、第1乃至第4の各シンドローム $SY_1 \sim SY_4$  として、レジスタデータを考慮しない際における排他的論理和と同じ結果を出力すると共に、第5のシンドローム $SY_5$  として0を出力することとなる。

【0034】本実施例によるシンドロームデコード部72は、第1乃至第5のシンドローム $SY_1 \sim SY_5$  を受けて、図9に示されるようにして、各シンドロームを必要に応じて反転などした上で、論理積を求めることにより、第1乃至第8のシンドロームデコードデータ $SD_1 \sim SD_8$  を生成し、誤り訂正部74に対して出力する。また、本実施例による検査ビットセル用シンドロームデコード部73は、第1乃至第5のシンドローム $SY_1 \sim SY_5$  を受けて、図9に示されるようにして、各シンドロームを必要に応じて反転などした上で、論理積を求めることにより、シンドロームデコードビット $SB_1 \sim SB_4$  を生成し、検査ビットセル用誤り訂正部75に対して出力する。

【0035】本実施例による誤り訂正部74は、データセルアレイ1からの第1乃至第8のセルデータ $DD_1 \sim DD_8$  とシンドロームデコード部72からの第1乃至第8のシンドロームデコードデータ $SD_1 \sim SD_8$  とを受けて、夫々、対応する対ごとに、排他的論理和を求めて、第1乃

至第8のリードデータ $RD_1 \sim RD_8$  として出力する。同様に、本実施例による検査ビットセル用誤り訂正部75は、検査ビットセルアレイ4からの第1乃至第4のビットデータ $BD_1 \sim BD_4$  と検査ビットセル用シンドロームデコード部73からの第1乃至第4のシンドロームデコードビット $SB_1 \sim SB_4$  とを受けて、夫々、対応する対ごとに、排他的論理和を求めて、第9乃至第12のリードデータ $RD_9 \sim RD_{12}$  として出力する。

【0036】このような構成を備えた本実施例の半導体メモリ装置に対して、前述のように図6に示される検査行列Hを用いて各メモリセルをテストすることにより、データセルアレイ1及び検査ビットセルアレイ4を1つのメモリセルアレイとみなした場合における各ワードラインごとに、1ワードラインあたりのエラーが1ビット以下である場合と、1ワードラインあたりのエラーが2ビット以上である場合とを容易に分けることができるところから、実施の形態において説明したような種々の効果が得られることとなる。

#### 【0037】

【発明の効果】以上説明してきたように、本発明によれば、検査ビットセルアレイとデータセルアレイとを全体として一つのメモリセルアレイとみなして、当該メモリセルアレイに対応するテストECCを生成すると共に、当該メモリセルアレイの有する複数のワードラインに関し、各ワードラインごとのエラーが1ビット以下である場合に良品と判定し、エラーが2ビット以上であるワードラインが1つでもある場合には不良品と判定することとしたため、従来、不良品と判定されていたものの内、性能に関して実質上問題とならないものを良品と判定できることから、従来の技術と比較して、歩留まりの向上が図られている。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体メモリ装置の構成を示すブロック図である。

【図2】図1に示される半導体メモリ装置のテスト時における主要な構成を示すブロック図である。

【図3】図1に示される半導体メモリ装置の通常動作時における主要な構成を示すブロック図である。

【図4】図1に示される半導体メモリ装置の有するECCデコーダの構成を示すブロック図である。

【図5】本発明の第2の実施の形態による半導体メモリ装置の構成を示すブロック図である。

【図6】本発明の実施例における検査行列を示す図である。

【図7】本発明の実施例によるECCジェネレータを示す図である。

【図8】本発明の実施例によるシンドローム生成部を示す図である。

【図9】本発明の実施例によるシンドロームでコード部及び検査ビットセル用シンドロームでコード部を示す図

である。

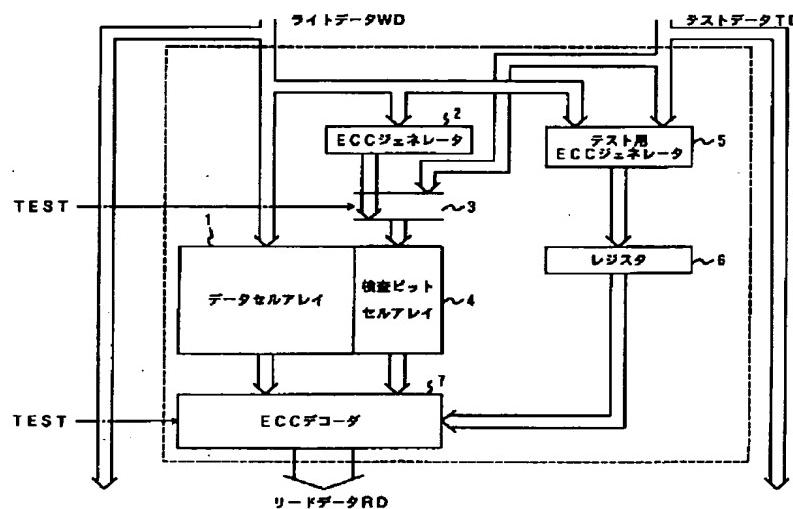
【図10】本発明の実施例による誤り訂正部及び検査ビットセル用誤り訂正部を示す図である。

【符号の説明】

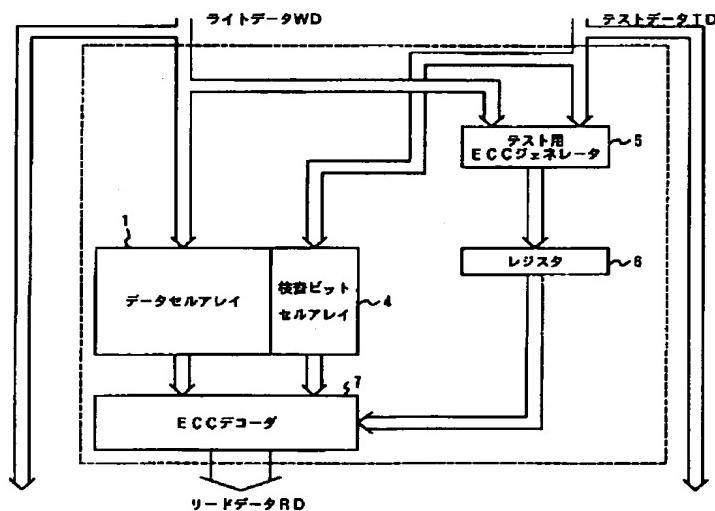
- |   |               |
|---|---------------|
| 1 | データセルアレイ      |
| 2 | ECCジェネレータ     |
| 3 | セレクタ          |
| 4 | 検査ビットセルアレイ    |
| 5 | テスト用ECCジェネレータ |
| 6 | レジスタ          |
| 7 | ECCデコーダ       |

- |     |                     |
|-----|---------------------|
| 71  | シンドローム生成部           |
| 711 | 生成機能切替部             |
| 72  | シンドロームデコード部         |
| 73  | 検査ビットセル用シンドロームデコード部 |
| 74  | 誤り訂正部               |
| 75  | 検査ビットセル用誤り訂正部       |
| 8   | ECCジェネレータ           |
| 81  | 通常用/テスト用機能切替部       |
| WD  | ライトデータ              |
| TD  | テストデータ              |
| RD  | リードデータ              |

【図1】



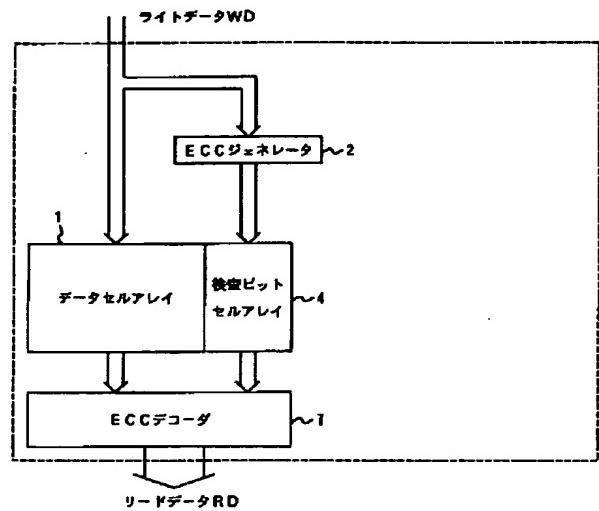
【図2】



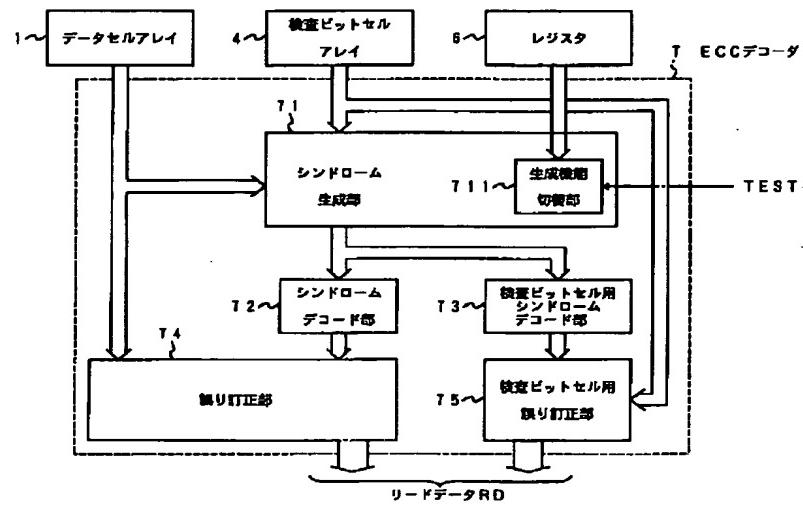
【図6】

$H = \begin{pmatrix} 1 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 \end{pmatrix}$

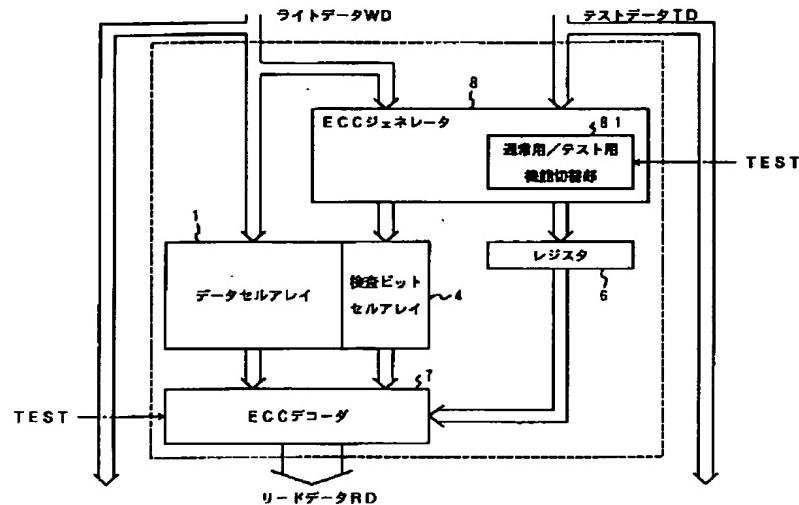
【図3】



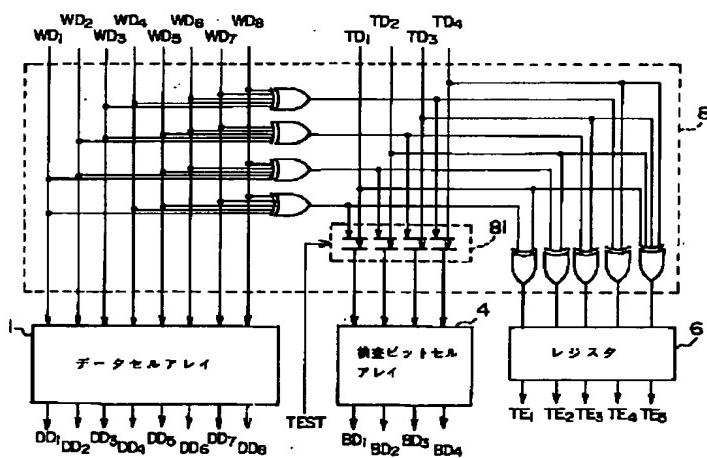
【図4】



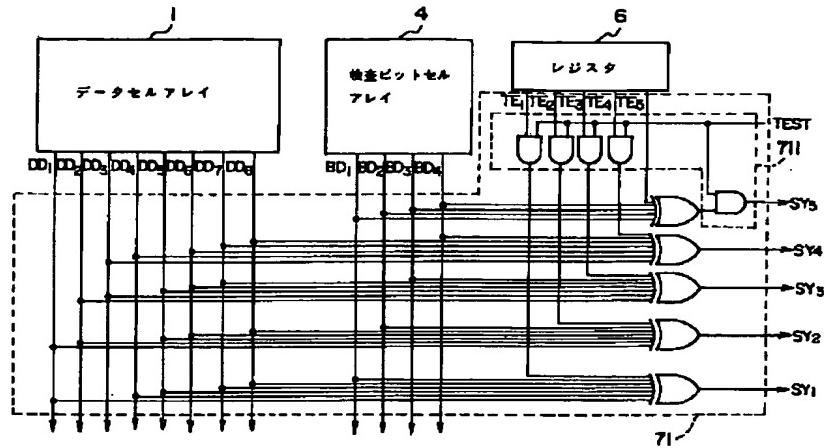
【図5】



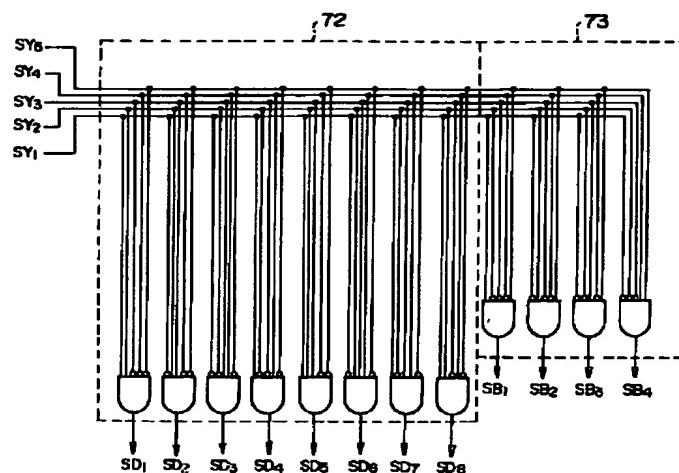
【図7】



【図8】



【図9】



【図10】

